

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274482

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 29/78
H01L 29/872
H01L 29/74
H01L 29/861

(21)Application number : 10-072640

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.03.1998

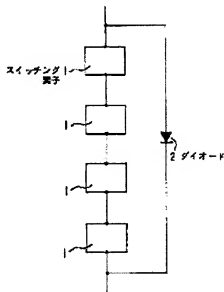
(72)Inventor : KOBAYASHI SETSUOKO
SHINOHE TAKASHI
OHASHI HIROMICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make the overall size of a semiconductor compact, by providing a diode formed of a semiconductor having a band gap wider than that of Si connected in parallel with respect to a switching device group consisting of a plurality of switching devices connected in series and capable of being controlled via a control terminal.

SOLUTION: A plurality of switching devices 1 are connected in series and on diode 1 is connected in parallel with them. The diode 2 is formed of SiC. Because SiC has a band gap wider than that of Si, it can have a withstand voltage larger than that of Si even if it has a smaller film thickness. This difference results in that which it may have 1/10 of film thickness of a Si film to obtain the same withstand voltage. Therefore, the diode 2 can have a thinner thickness and a higher withstand voltage so that the overall size of a semiconductor can be made small and compact.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274482

(43) 公開日 平成11年(1999)10月8日

| | | | |
|---------------------------|--------|---------|---------|
| (51) Int.Cl. ³ | 識別記号 | F I | |
| H 0 1 L | 29/78 | H 0 1 L | 29/78 |
| | 29/872 | | 29/48 |
| | 29/74 | | 29/74 |
| | 29/861 | | |
| | | | 29/78 |
| | | | 6 5 2 T |

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平10-72640

(22) 出願日 平成10年(1998)3月20日

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 小林 節子

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 大橋 弘通

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

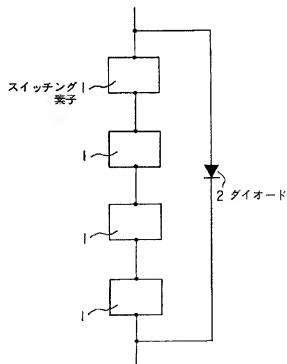
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】コンパクトであり且つ、高スイッチング速度、低損失なスイッチング素子とダイオードを組み合わせた半導体装置を提供する。

【解決手段】制御端子により電流を制御することのできるスイッチング素子1を2個以上直列に接続した場合、この複数のスイッチング素子1からなるスイッチング素子群に対して1個のダイオード2を並列に接続し、ダイオード2の材料として、SiC等のSiよりバンドギャップの広い半導体材料を用いる。



【特許請求の範囲】

【請求項1】 直列に接続され、制御端子により電流を制御することのできる複数のスイッチング素子からなるスイッチング素子群と、

前記スイッチング素子群に対して並列に接続されたS iよりバンドギャップの広い半導体により形成されたダイオードとを具備してなることを特徴とする半導体装置。

【請求項2】 前記複数のスイッチング素子と1個のダイオードを互いに絶縁を保つ距離を設けて一つのパッケージ中に設置したことを特徴とする請求項1に記載の半導体装置。

【請求項3】 S iよりバンドギャップの広い半導体により形成され、第1導電型の第1の半導体層と、前記第1の半導体層上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第3の半導体層上に形成された第2導電型の第4の半導体層からなるスイッチング素子と、

前記スイッチング素子の前記第3の半導体層と前記第4の半導体層の間に接続され、前記スイッチング素子よりもバンドギャップの狭い半導体により形成されたMOSスイッチとを具備してなることを特徴とする半導体装置。

【請求項4】 S iよりバンドギャップの広い半導体により形成され、第1導電型の第1の半導体層と、前記第1の半導体層の主表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第3の半導体層上に形成された第2導電型の第4の半導体層からなる半導体素子と、前記第1の半導体層の裏面に接して形成された第1の主電極と、前記第4の半導体層に接して形成された第2の主電極とからなるスイッチング素子と、前記スイッチング素子の前記第1の主電極又は第2の主電極に接続され、前記それぞれの半導体層よりもバンドギャップの狭い半導体からなるMOSスイッチとを具備してなることを特徴とする半導体装置。

【請求項5】 S iよりバンドギャップの広い半導体により形成され、第1導電型の第1の半導体層と、前記第1の半導体層の主表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第1の半導体層の裏面に選択的に形成された第2導電型の半導体領域からなる半導体素子と、前記半導体領域及び前記第1の半導体層の裏面に跨って形成され、前記第1の半導体層との界面をショットキー接触とする材料からなる主電極とを具備してなることを特徴とする半導体装置。

【請求項6】 第1導電型の第1の半導体層と、前記第1の半導体層の主表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第1の半導体層の裏面

上に選択的に形成された第2導電型の半導体領域と、前記半導体領域と前記第1の半導体層が同電位となるように形成された主電極とからなるスイッチング素子と、S iよりもバンドギャップの広い半導体により形成され、前記主電極にカソードが接続されたダイオードとを具備してなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、S iよりバンドギャップの広い半導体材料を用いた半導体装置に関する。

【0002】

【従来の技術】従来より、電力用半導体装置にはS iを材料としたスイッチング素子とダイオードの組み合わせが多用されている。この組み合わせは、低耐圧のダイオードと、このダイオードと同程度の耐圧を持つスイッチング素子とを並列に接続したものを複数直列に接続した構造になっている。

【0003】一方、S iの物理的限界から、複数のスイッチング素子あるいはダイオードを直列に接続することにより半導体装置の高耐圧化を図っている。しかし、従来の組み合わせでは装置全体の体積が大きくなるため、改善が必要とされている。

【0004】

【発明が解決しようとする課題】上述のごとく、従来のスイッチング素子とダイオードを組み合わせた半導体装置は、全体の体積が大きく、コンパクト化が必要とされている。

【0005】本発明は上記課題を解決するためになされたもので、その目的とするところは、コンパクトであり且つ、高スイッチング速度、低損失な半導体装置を提供することにある。

【0006】

【課題を解決するための手段】本発明の請求項1に係る半導体装置は、直列に接続され、制御端子により電流を制御することのできる複数のスイッチング素子からなるスイッチング素子群と、前記スイッチング素子群に対して並列に接続されたS iよりバンドギャップの広い半導体により形成されたダイオードとを具備してなることを特徴とする。

【0007】また、本発明の請求項2に係る半導体装置は、前記複数のスイッチング素子と1個のダイオードを互いに絶縁を保つ距離を設けて一つのパッケージ中に設置したことを特徴とする。

【0008】また、本発明の請求項3に係る半導体装置は、S iよりバンドギャップの広い半導体により形成され、第1導電型の第1の半導体層と、前記第1の半導体層上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第3の半導体層上に形成された第2導電型の第4の半導体層からなるスイッチング素子と、前記S

スイッチング素子の前記第3の半導体層と前記第4の半導体層の間に接続され、前記スイッチング素子よりもバンドギャップの狭い半導体により形成されたMOSスイッチとを具備してなることを特徴とする。

【0009】また、本発明の請求項4に係る半導体装置は、S_iよりバンドギャップの広い半導体により形成され、第1導電型の第1の半導体層と、前記第1の半導体層の主表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第3の半導体層上に形成された第2導電型の第4の半導体層からなる半導体素子と、前記第1の半導体層の裏面上に接して形成された第1の主電極と、前記第4の半導体層に接して形成された第2の主電極とからなるスイッチング素子と、前記スイッチング素子の前記第1の主電極又は第2の主電極に接続され、前記それぞれの半導体層よりもバンドギャップの狭い半導体からなるMOSスイッチとを具備してなることを特徴とする。

【0010】本発明の望ましい形態を以下に示す。

【0011】(1) S_iよりもバンドギャップの広い半導体により形成され、第3の半導体層にアノードが接続されたダイオードが設けられる。

【0012】(2) スwitchング素子は、GTO、IGBT、サイリスタである。

【0013】(3) 第3の半導体層の第2の半導体層と第4の半導体層により挟まれた領域に絶縁ゲート電極が形成されている。

【0014】(4) MOSスイッチはMOSFETである。

【0015】また、本発明の請求項5に係る半導体装置は、S_iよりバンドギャップの広い半導体により形成され、第1導電型の第1の半導体層と、前記第1の半導体層の主表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第3の半導体層の裏面に選択的に形成された第2導電型の半導体領域からなる半導体素子と、前記半導体領域及び前記第1の半導体層の裏面に跨って形成され、前記第1の半導体層と前記素子をショットキー接触とする材料からなる主電極とを具備してなることを特徴とする。

【0016】本発明の望ましい形態を以下に示す。

【0017】(1) アノード電極材料には、例えばNi、Au等、仕事関数の大きい金属を用いるが、物質種は限定されず、これらと同程度の仕事関数を持つものであればよい。

【0018】(2) この半導体装置は、GTO、IGBT、サイリスタである。

【0019】また、本発明の請求項6に係る半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層の主表面上に形成された第2導電型の第2の半導体層

と、前記第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第1の半導体層の裏面上に選択的に形成された第2導電型の半導体領域と、前記半導体領域と前記第1の半導体層が同電位となるように形成された主電極とからなるスイッチング素子と、S_iよりもバンドギャップの広い半導体により形成され、前記主電極にカソードが接続されたダイオードとを具備してなることを特徴とする。

【0020】(作用) 本発明(請求項1)では、直列に接続され、制御端子により電流を制御することのできる複数のスイッチング素子からなるスイッチング素子群に対して、S_iよりバンドギャップの広い半導体からなるダイオードを並列に接続する。

【0021】これにより、ダイオードの膜厚は薄い膜厚のものでS_iよりも耐圧を大きくでき、また一つのダイオードで複数のスイッチング素子を制御するために半導体装置全体のサイズが小さくコンパクトになるという効果がある。また、薄いダイオードを用いることによつて、ダイオード内のオン抵抗が大幅に低減され、そのため半導体装置全体の損失が低減されるという効果がある。

【0022】また、本発明(請求項2)では異なる種類からなる複数の半導体素子をつつのパッケージ中に封入する。これにより、装置全体がコンパクトとなり、また余分な配線等が必要なくなるために電力損失がさらに低減される。

【0023】また、本発明(請求項3)ではS_iよりもバンドギャップの広い半導体により形成されたスイッチング素子の第3の半導体層と第4の半導体層の間に、このスイッチング素子よりもバンドギャップの狭い材料からなるMOSスイッチを接続し、半導体装置のターンオフ時にこのMOSスイッチをターンオンすることにより、第3の半導体層から電流を引き出す。これにより、高耐圧でオン抵抗が低く、しかもコンパクトなMOS制御半導体装置が得られる。

【0024】また、本発明(請求項4)では、S_iよりバンドギャップの広い半導体により形成されたスイッチング素子の第4の半導体層に、このスイッチング素子よりもバンドギャップの狭い材料からなるMOSスイッチを接続し、このMOSスイッチをターンオンすることによりスイッチング素子をターンオンするため、高耐圧であり、かつMOSスイッチの抵抗は低いためにオン電圧を低くできる。

【0025】また、本発明(請求項5)では、第1の半導体層と主電極との界面がショットキー接触となるので、第1の半導体層と主電極との間で逆耐圧を持たせることができる。

【0026】また、本発明(請求項6)では、スイッチング素子のアノードに接続するダイオードとしてS_iよりもバンドギャップの広い半導体からなるダイオードを

用いるため、従来のように複数のダイオードを直列に接続することなく一つのダイオードで半導体装置に逆耐圧を持たせることができる。また、このダイオードに用いるS1よりもバンドギャップの広い半導体は通電能力が高いため、損失が低減される。

【0027】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

【0028】（第1実施形態）図1は本発明の第1の実施形態に係る半導体装置の回路図である。図1に示すように、スイッチング素子1が複数個直列に接続され、これら複数個のスイッチング素子1に対して並列に、1個のダイオード2が接続されている。スイッチング素子1は、例えばMOSFET、GTO（Gate Turn-Off Thyristor）、IGBT等何でもよい。本実施形態では、ダイオード2をSiCにより作成したものをを用いる。SiCはS1に比較してバンドギャップの広い材料であるため、薄い膜厚のものでS1よりも耐圧を大きくできる。この相違を同耐圧のもので比較すると、SiCの膜厚は同耐圧を得るS1の膜厚の1/10となる。従って、薄く高耐圧のダイオード2とすることができ、半導体全体のサイズが小さくコンパクトになる。

【0029】また、ダイオード2の厚さが薄いため、ダイオード2のオン抵抗が低減され、そのため半導体装置全体の損失が低減されるという効果がある。

【0030】（第2実施形態）図1は本発明の第2の実施形態に係る半導体装置の回路図である。第1実施形態とその構成において共通するが、本実施形態が第1実施形態と異なる点は、ダイオード2としてSiCショットキー・ダイオードを用いている点である。

【0031】ショットキー・ダイオードはユニポーラ素子であることから、第1実施形態よりダイオード内に蓄積されるキャリアが少なく、半導体装置全体の損失がさらに低減される。

【0032】（第3実施形態）図2は本発明の第3の実施形態に係る半導体装置内部の平面図である。図2に示すように、本実施形態に係る半導体装置は一つの箱形パッケージ中に複数の半導体素子を封入したものである。絶縁板6上に導電板7が複数枚互いに接することなく形成され、導電板7上にスイッチング素子チップ4が複数枚とSiCダイオードチップ5がそれぞれ接して形成され、それぞれのスイッチング素子チップ4とSiCダイオードチップ5はそれぞれ電氣的に絶縁された構成をなす。これらスイッチング素子チップ4とSiCダイオードチップ5はそれぞれ配線8によって接続され、複数のスイッチング素子チップ4が直列に接続され、それら複数のスイッチング素子チップ4に対してダイオードチップ5が並列に接続される構成をなす。以下、第7実施形態まで同じ回路構成をなす。

【0033】このように、本実施形態ではSiCからな

る半導体素子を含み、異なる種類からなる複数の半導体素子一つのパッケージ中に封入するため、装置全体がコンパクトとなり、余分な配線等が必要なくなり、電力損失が低減される。

【0034】（第4実施形態）図3は本発明の第4の実施形態に係る半導体装置内部の平面図である。本実施形態に係る半導体装置は第3実施形態に示す半導体装置と構成を同じくするが、素子4、5のそれぞれの配置が異なる。なお、共通する部分には同一の符号を付す。

【0035】第3実施形態の半導体装置では、スイッチング素子チップ4がそれぞれ一列に並んで配置され、その列の横にSiCダイオードチップ5が配置される構成をとり、SiCダイオードチップ5と各スイッチング素子チップ4との距離が近いものから遠いものまでばらつきがある。

【0036】これに対して、本実施形態に係る半導体装置は一つのSiCダイオードチップ5を囲むようにスイッチング素子チップ4が配置されているため、チップ4、5間の距離はそれぞれ同一で比較的小さい距離にある。従って、これらチップ4、5間を接続する配線8も第3実施形態に示すものに比較して短くてすむため、さらに電力損失が低減される。

【0037】（第5実施形態）図4は本発明の第5の実施形態に係る半導体装置内部の斜視図である。本実施形態に係る半導体装置の基本的な構成は第3、4実施形態に示したものと同一であり、同一の符号を付す。

【0038】第3、4実施形態と異なるのは、絶縁板6の代わりに絶縁構造物9を用いた点である。この絶縁構造物9は複数の箱からなり、この複数の箱のそれぞれの底部に、第3、4実施形態と同じく複数のスイッチング素子チップ4とSiCダイオードチップ5が配置されている。そして、それぞれのチップ4、5間が配線8で接続される。

【0039】このように、本実施形態では板状の絶縁物でなくチップ4、5側面までも囲む絶縁構造物9を用いることにより、第3、4実施形態に示す半導体素子よりもさらに絶縁性が高くなる。

【0040】なお、本実施形態では一列に素子4、5を並べて配置する場合を示したが本実施形態には限定されず、例えば図3や図4に示すような構成で素子4、5を配置する等、絶縁構造物の構成に応じて種々変更可能である。

【0041】（第6実施形態）図5は本発明の第6の実施形態に係る半導体装置内部の断面図である。本実施形態において第3～5実施形態と共通する部分には同一の符号を付す。図6に示すように、複数のスイッチング素子チップ4がそれぞれ直列に、また、これら複数のスイッチング素子チップ4に対して、SiCダイオードチップ5が並列に、それぞれのチップ間に導電板7を挟んで接続されており、これらチップ4、5と導電板7を絶縁

構造物9が被覆する構成をなす。

【0042】本実施形態では、チップ4及び5の表面がそれぞれ横並びに配置されず、縦に並んで配置されているためにチップ4、5の表面間上の距離が離れているため、第3実施形態に示す半導体装置よりさらに絶縁性が高くなる。

【0043】(第7実施形態)図6は本発明の第7の実施形態に係る半導体装置内部の斜視図である。本実施形態において第3～6実施形態と共通する部分には同一の符号を付す。図6に示すように、本実施形態で用いられる複数のスイッチング素子チップ4とSiCダイオードチップ5は異なる層に形成される。スイッチング素子チップ4は下層に並べて配置され、それぞれが配線8で直列接続される。そして、このスイッチング素子チップ4の上層に、SiCダイオードチップ5が形成され、下層の複数のスイッチング素子チップ4と配線8で並列に接続される。

【0044】この構成によれば、スイッチング素子チップ4同士は第3～6実施形態と同じく短い配線8で接続でき、さらにSiCダイオードチップ5と接続する配線8の長さが短くなるため、損失がさらに低減される。

【0045】なお、上記第3～第7実施形態では図示した回路構成に限定されず、多種のチップを用いた場合も同様に適用可能である。

【0046】(第8実施形態)図7は本発明の第8の実施形態に係るSiCショットキー・ダイオードの横断面図である。図7に示すように、 n^+ -SiC層72上に n -SiC層73が形成されている。 n -SiC層72の裏面にオーミック電極71が形成されている。そして、この n -SiC層73上には島状にショットキー電極74が形成され、 n -SiC層73上であってショットキー電極74の周囲には、半絶縁体層75が形成されている。半絶縁体層75の材料には半絶縁体ダイヤモンドや半絶縁体AlN等が用いられる。

【0047】図8、9は本実施形態に係るSiCショットキー・ダイオードの製造方法を工程順に示す断面図である。まず図8(a)に示すように、 n -SiC層72の主面上に n -SiC層73を形成した後、図8(b)に示すように、半絶縁体層75を形成する。次に、この半絶縁体層75上にレジスト76を塗布し、島状のホールパターンをリソグラフィ技術を用いて形成する(図8(c))。そして、この島状のレジストパターンをマスクとして半絶縁体層75を n -SiC層73が露出するまでエッチングして半絶縁体層75を加工する(図8(d))。

【0048】次に、 n -SiC層72の裏面に電極材料を堆積してオーミック電極71を形成する。そして、レジストパターン77をマスクとして n -SiC層73表面にショットキー電極材料を蒸着させる(図9(e))。そして、レジストパターン77及びその上に

蒸着したショットキー電極材料を除去してショットキー電極74を形成する(図9(f))。

【0049】このように、本実施形態に係るSiCショットキー・ダイオードによれば、ショットキー電極74の周囲に n -SiC層73上には半絶縁体層75が形成されている。従って、このダイオードに高電圧をかけた際、この半絶縁体層75にわずかな電流が流れ、この半絶縁体層75の抵抗の電位勾配を制御してショットキー電極74表面の電界集中が強制的に緩和され、高電圧に耐えることができる。

【0050】(第9実施形態)図10は本発明の第9の実施形態に係るSiCショットキー・ダイオードの断面図である。本実施形態に係るショットキー・ダイオードは、第8実施形態に示すものと構成がほぼ同じである。第8実施形態と異なる点は、半絶縁体層75がショットキー電極74よりもSiC層73中に深く形成されている点である。

【0051】図11、12は本実施形態に係るSiCショットキー・ダイオードの製造方法を工程順に示す断面図である。まず図11(a)に示すように、 n -SiC層72の主面上に n -SiC層73を形成した後、図11(b)に示すようにマスク78を形成する。次に図11(c)に示すように、RIE等の異方性エッチングにより n -SiC層73を掘り込み、 n -SiC層73に溝を形成する。次に図11(d)に示すように、前記溝を埋めるように半絶縁体層75を形成した後、図12(e)に示すようにマスク78を除去する。次に図12(f)に示すように、 n -SiC層72の裏面にオーミック電極71を形成する。次に、ショットキー電極材料を半絶縁体層75の形成された n -SiC層73上にレジストパターン等を用いて島状に堆積することによりショットキー電極74を形成する。

【0052】本実施形態のSiCショットキーダイオードによれば、第8実施形態と同様の効果を得るが、半絶縁体層75がショットキー電極74よりもSiC層73中に深く形成されているため、第8実施形態よりさらに電界集中を妨げることができ、より高電圧に耐えることができる。

【0053】なお、電極周囲に半絶縁体層を設置する第8、9実施形態は、ショットキー・ダイオードに限らず、pnダイオード等、高耐圧を目的としたすべての素子に適用でき、その効果を発揮することができる。

【0054】(第10実施形態)図13は本発明の第10の実施形態に係る半導体装置の模式図である。本実施形態の半導体装置は、SiC半導体材料とするSiCMOS制御サイリスタ131を用いることを特徴とする。以下の実施形態ではすべて第1導電型と第2導電型をn型又はp型のいずれかにより説明するが、これを逆にすることもできる。

【0055】 p^+ -SiC層134の主表面上に n -S

i層132が形成され、高抵抗の n^- -Si層132の主表面にp-Si層133が形成されている。さらに、p-Si層133の n^- -Si層132と接している側と反対側の表面には、 n^- -Si層132から所定距離離れて n^+ -Si層135が形成されている。

【0056】また、p-Si層133の n^- -Si層132と n^+ -Si層135により挟まれた領域上にゲート絶縁膜136aを介してゲート電極136bが形成されてゲート136をなし、nチャネルMOSFETが構成されている。また、p-Si層133、 p^+ -Si層134、 n^+ -Si層135にそれぞれベース137、アノード138、カソード139が接して形成されている。ベース137には図示した極性を持つSiCダイオード141が接続され、またカソード139にはSi-MOSFET140が接続されており、ゲート136に加える電圧によりオンオフ動作を行う。

【0057】なお、本実施形態の p^+ -Si層134は請求項4の第1の半導体層に、 n^- -Si層132は第2の半導体層に、p-Si層133は第3の半導体層に、 n^+ -Si層135は第4の半導体層に、アノード138は第1の主電極に、カソード139は第2の主電極に、Si-MOSFET140はMOSスイッチにそれぞれ対応する。

【0058】以下、本実施形態に係る半導体装置の動作を説明する。

【0059】SiC-MOS制御サイリスタ131のターンオンは、Si-MOSFET140とMOSゲート136をターンオンすることにより行う。このとき、ゲート136にカソード139に対して正の電圧が印加される。これにより n^- -Si層132と n^+ -Si層135が短絡し、 n^+ -Si層135からゲート136下のチャネルを通して n^- -Si層132に電子が注入される。この電子注入に見合ったホールが p^+ -Si層134から n^- -Si層132に注入されることによって、SiC-MOS制御サイリスタ131はターンオンする。

【0060】通常SiCからなる半導体装置のMOSゲートはオン電圧が高いことが問題となるが、本実施形態のような絶縁ゲート型サイリスタの制御にMOSゲートを用いる場合、いったんターンオンしてしまえばオン状態での電流はカソード139とアノード138間を流れて、電流量はゲート電流に依存しないため、MOSゲート136のオン抵抗が高くて問題にならない。

【0061】ターンオフは、Si-MOSFET140とMOSゲート136をターンオフすることにより、電子とホールの注入を止め、ベース137にアノード138に対して負の電圧を印加して電流をベース137から引き出すことにより行う。このターンオフにおいて、ダイオード141の材料として通電能力の高いSiCを用

いることにより、ターンオフ損失を低減できる。

【0062】このように、本実施形態のSiC-MOS制御サイリスタ131のオン電流はアノード138、カソード139間を流れるため、ゲート136のオン電圧の高さは問題とならない。また、ターンオフにおいてベース137からホールを引き出す際に、通電能力の高い材料であるSiCからなるSiCダイオード141を用いることにより、ターンオフ損失を低減できる。

【0063】(第1実施形態)図14は本発明の第1実施形態に係る半導体装置の模式図である。本実施形態の半導体装置は、SiC半導体を材料とする高耐圧SiC-GTO142の制御を、Si-MOSFET140を用いて行うことにより、高耐圧かつオン抵抗を低くすることを特徴とする。第10実施形態と共通する部分には同一の符号を付す。

【0064】 p^+ -Si層134の主表面上に n^- -Si層132が形成されており、高抵抗の n^- -Si層132上にp-Si層133が形成され、このp-Si層133上に n^+ 型エミッタ層143が形成されている。 n^+ 型エミッタ層143にカソード139が、 p^+ -Si層134裏面にアノード138が、 p 型ベース層133にゲート144がそれぞれ形成されている。カソード139にはSi-MOSFET140が接続され、ゲート144には図示した極性を持つSiCダイオード141が接続され、さらにゲート144とアノード138がMOSFET145により接続されている。

【0065】また、本実施形態の p^+ -Si層134は請求項4の第1の半導体層に、 n^- -Si層132は第2の半導体層に、p-Si層133は第3の半導体層に、 n^+ 型エミッタ層143は第4の半導体層に、Si-MOSFET140はMOSスイッチに対応する。

【0066】本実施形態のSiC-GTO142のターンオンは、Si-MOSFET140とMOSFET145をターンオンすることにより行う。MOSFET145がターンオンすることによりゲート144がカソード139に対して高電位となる。これにより、ゲート144からカソード139に順バイアスされたp-Si層133及び n^+ -Si層143を介してホールが流れる。これに伴い、ホールがアノード138からカソード139に流れ、SiC-GTO142がオン状態となる。

【0067】通常SiC半導体のMOSゲートはオン電圧が高いことが問題となるが、本実施形態のように、制御に用いるMOSゲートを持つMOSFET140にSi材料を用いることにより、MOSゲートの抵抗を低くすることができ、オン電圧を低くすることができる。

【0068】SiC-GTO142のターンオフは、Si-MOSFET140とMOSFET145をターン

オフすることにより行う。MOSFET140のターンオフにより電子の注入を止め、アノード138からカソード139に流れているホールをゲート144から引き出す。このターンオフにおいて、ホール電流の引き出しにSiCダイオード141を用いるため、通電能力が高く、ターンオフ損失を低減できる。

【0069】(第12実施形態)図15は本発明の第12実施形態に係る半導体装置の模式図である。本実施形態の半導体装置は第11実施形態に示した半導体装置とほぼ同じであり、共通する部分には同一の符号を付す。第11実施形態と異なる点は、SiCダイオード141の代わりにツェナー・ダイオード151を用いたことにある。

【0070】このように、ターンオフ時のホールの引き出しにツェナー・ダイオード151を用いることにより、SiCダイオード141を用いた場合と比較して薄いたダイオードですむので、スイッチング速度を速く、また損失を低下することができる。

【0071】(第13実施形態)図16は本発明の第13実施形態に係る半導体装置の模式図である。本実施形態の半導体装置は、SiC半導体材料とする高耐圧のSiC-GTO142の制御をSi-MOSFET140を用いて行うことにより、高耐圧かつオン抵抗を低くすることを特徴とする。第10実施形態と共通する部分には同一の符号を付す。また、本実施形態の p^+ -SiC層134は請求項3に記載の第1の半導体層に、 n^- -SiC層132は第2の半導体層に、 p -SiC層133は第3の半導体層に、 n^+ 型エミッタ層143は第4の半導体層に、Si-MOSFET140はMOSスイッチに対応する。

【0072】本実施形態のSiC-GTO142のターンオンは、MOSFET145をターンオンすることにより行う。ターンオフは、MOSFET145をターンオフし、Si-MOSFET140をターンオンしてゲート161からホールを引き出すことにより行う。

【0073】通常SiC半導体により形成されたMOSゲートはオン電圧が高いことが問題となるが、本実施形態のように制御に用いるMOSゲートを持つMOSFET140にSi材料を用いることにより、MOSゲートの抵抗を低くすることができる。

【0074】(第14実施形態)図17は本発明の第14実施形態に係る半導体装置の断面図である。本実施形態は、バンドギャップの広いSiCを材料に用いたアノード・ショートSiC-GTO170において、 n^- -SiC層132中であってアノード138との界面に形成された p^+ -SiC層171に対してオーミック接触173となる。仕事関数の大きい金属、例えばNi、Al等を、アノード138材料として用いる。このような材料を選択することにより、 n^- -SiC層132に対してショットキー接触174となり、 p^+ -SiC層1

71と n^- -SiC層132の接合により空乏層172が生じるため、逆耐圧をもたせることができる。なお、 p^+ -SiC層171と n^- -SiC層132の接合により生ずる空乏層を172の破線で示している。また、アノード138は金属に限らず、金属間化合物等も含まれる。

【0075】なお、本実施形態の n^- -SiC層132は請求項5の第1の半導体層に、 p -SiC層133は第2の半導体層に、 n^+ 型エミッタ層143は第3の半導体層に、 p^+ -SiC層171は第2導電型の半導体領域に、アノード138は主電極に対応する。

【0076】このように、通常のアノード・ショートSi-GTOにおいては n^- ベース層がアノード138と短絡し、この接合がオーミックコンタクトとなって逆耐圧を持たせることができなかったが、本実施形態のようにSiC-GTOにおいて仕事関数の大きい金属をアノード138材料として用いることで、SiC-GTO170に逆耐圧を持たせ、かつ低損失にすることができ。従って、このSiC-GTO170はダイオードを直列に接続して耐圧を持たせる必要がなく、インバータ等の逆耐圧の必要な用途に用いる場合に特に有効である。

【0077】(第15実施形態)図18は本発明の第15実施形態に係る半導体装置の模式図である。本実施形態のGTO180は、第14実施形態と同じアノード・ショートGTOであるが、本実施形態では、 n^- ベース層181の裏面に n^+ 領域184と p^+ 領域185が選択的に形成されている点で第14実施形態と異なる。

【0078】また、本実施形態の n^- ベース層181は請求項6の第1の半導体層に、 p -ベース層182は第2の半導体層に、 n^+ エミッタ層183は第3の半導体層に、 p^+ 領域185は半導体領域に、アノード138は主電極にそれぞれ対応する。

【0079】この構成によれば第14実施形態におけるSiC-GTO170のショットキー接触174を持たずにオーミック接触となるため、GTO180自体は逆耐圧をほとんど持たない。従って、このGTO180に逆耐圧を持たせるため、GTO180に直列にSiCダイオード141を接続している。なお、GTO180はSiC、Siいずれにより形成されるものであってもよく、また n^- ベース層181の上面には p -ベース層182が、さらに p -ベース層182上には n^+ エミッタ層183が形成されている。

【0080】このように、GTO180にSiCダイオード141を接続することにより半導体装置に逆耐圧を持たせることができるが、ダイオード141の材料としてSiCを用いることにより、直列接続して耐圧を持たせた複数のダイオードを用いることなく、一つのダイオードで高耐圧かつ低損失な半導体装置を得ることができる。

【0081】なお、上記第11～第15実施形態ではGTOを例に説明したが、サイリスタ、IGBT等、pn pn構造を有する電力用半導体素子であればなんでもよい。また、上記実施形態ではSiよりバンドギャップの広い材料としてSiCを用いる場合を示したが、SiCに限定されるものではない。

【0082】

【発明の効果】以上詳述したように本発明の請求項1に係る半導体装置によれば、スイッチング素子毎にダイオードを設ける必要がないため、装置全体のサイズが小さくコンパクトになり、オン抵抗が低減される。

【0083】また、本発明の請求項2に係る半導体装置によれば、異なる種類の素子一つのパッケージ中に封入するため、装置全体がコンパクトとなり、余分な配線等が必要なくなり損失が低減される。

【0084】また、本発明の請求項3に係る半導体装置によれば、Siよりバンドギャップの広いスイッチング素子の第3の半導体層からSiよりバンドギャップの狭いMOSスイッチを通して電流を引き出すため、高耐圧でオン抵抗が低くなる。

【0085】また、本発明の請求項4に係る半導体装置によれば、Siよりバンドギャップの広い材料からなるスイッチング素子と、このスイッチング素子よりもバンドギャップの狭い材料からなるオン抵抗の低いMOSスイッチを組み合わせ、このMOSスイッチをターンオンすることによりスイッチング素子をターンオンするため、高耐圧かつオン抵抗を低くできる。

【0086】また、本発明の請求項5に係る半導体装置によれば、第1の半導体層と主電極との界面がショットキー接触となるので、第1の半導体層の裏面と主電極の間で逆耐圧を持たせることができる。

【0087】また、本発明の請求項6に係る半導体装置によれば、スイッチング素子に直列に接続するダイオードとしてSiよりバンドギャップの広い半導体からなるダイオードを用いるため、従来のように複数のダイオードを直列に接続することなく一つのダイオードで半導体装置に逆耐圧を持たせることができ、損失が低減される。

【図面の簡単な説明】

【図1】本発明の第1、2実施形態に係る半導体装置の回路図。

【図2】本発明の第3実施形態に係る半導体装置内部の平面図。

【図3】本発明の第4実施形態に係る半導体装置内部の平面図。

【図4】本発明の第5実施形態に係る半導体装置内部の斜視図。

【図5】本発明の第6実施形態に係る半導体装置内部の断面図。

【図6】本発明の第7実施形態に係る半導体装置内部の

斜視図。

【図7】本発明の第8実施形態に係るショットキー・ダイオードの断面図。

【図8】同実施形態におけるショットキー・ダイオードの製造工程を示す断面図。

【図9】同実施形態におけるショットキー・ダイオードの製造工程を示す断面図。

【図10】本発明の第9実施形態に係るショットキー・ダイオードの断面図。

【図11】同実施形態におけるショットキー・ダイオードの製造工程を示す断面図。

【図12】同実施形態におけるショットキー・ダイオードの製造工程を示す断面図。

【図13】本発明の第10実施形態に係る半導体装置の模式図。

【図14】本発明の第11実施形態に係る半導体装置の模式図。

【図15】本発明の第12実施形態に係る半導体装置の模式図。

【図16】本発明の第13実施形態に係る半導体装置の模式図。

【図17】本発明の第14実施形態に係る半導体装置の断面図。

【図18】本発明の第15実施形態に係る半導体装置の模式図。

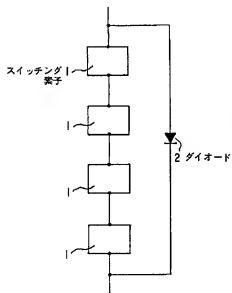
【符号の説明】

- 1 スwitchング素子
- 2 ダイオード
- 4 スwitchング素子チップ
- 5 SiCダイオードチップ
- 6 絶縁板
- 7 導電板
- 8 配線
- 9 絶縁構造物
- 71 オーミック電極
- 72 $n^+ - SiC$ 層
- 73、132 $n^- - SiC$ 層
- 74 ショットキー電極
- 75 半絶縁体層
- 76 レジスト
- 77 レジストパターン
- 78 マスク
- 131 SiC-MOS制御サイリスタ
- 133 $p - SiC$ 層
- 134、171 $p^+ - SiC$ 層
- 135 $n^+ - SiC$ 層
- 136 MOSゲート
- 137 ベース
- 138 アノード
- 139 カソード

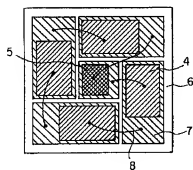
140 Si-MOSFET
 141 SiCダイオード
 142 SiC-GTO
 143 n⁺型エミッタ層
 144, 161, 162 ゲート
 145 MOSFET
 151 ツェナー・ダイオード
 170 アノード・ショートSiC-GTO
 172 空乏層

173 オーミック接触
 174 ショットキー接触
 180 GTO
 181 n⁻ベース層
 182 p⁻ベース層
 183 n⁺エミッタ層
 184 n⁺領域
 185 p⁺領域

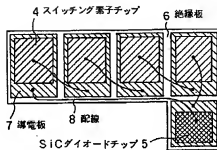
【図1】



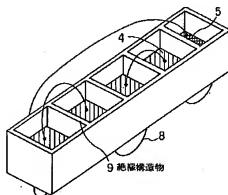
【図3】



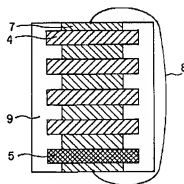
【図2】



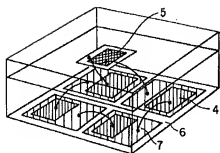
【図4】



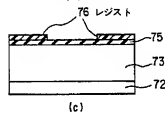
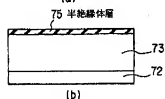
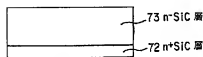
【図5】



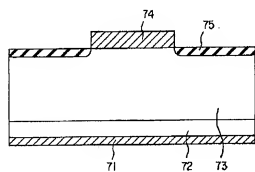
【図 6】



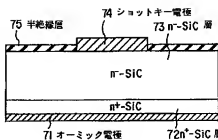
【図 8】



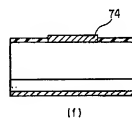
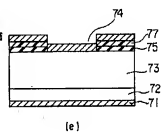
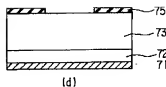
【図 10】



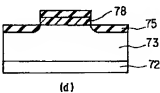
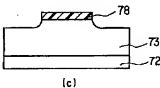
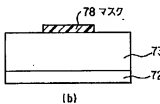
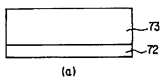
【図 7】



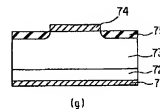
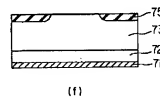
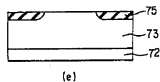
【図 9】



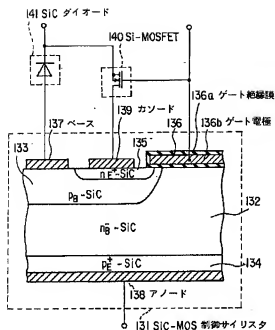
【図 11】



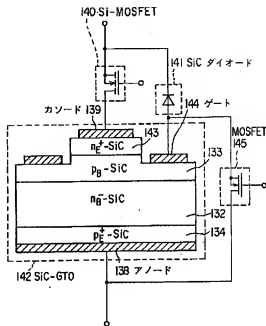
【図 12】



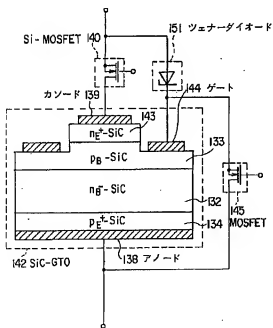
【図 13】



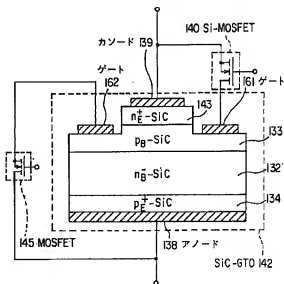
【図 14】



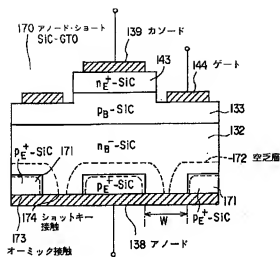
【図 15】



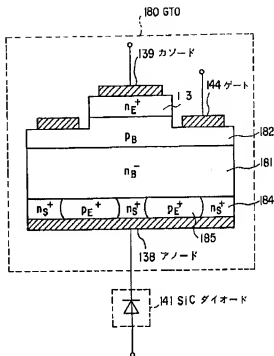
【図 16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl.⁶

識別記号

FI

H01L 29/78

652N

655F

29/91

F